Architettura degli Elaboratori 1 – corso A

Seconda Prova di Verifica Intermedia a.a. 2003-2004

18 dicembre 2003

1) Si consideri un processore con la stessa PO vista a lezione ed in cui il prelievo e la decodifica delle istruzioni avvengono come visto a lezione. Si consideri la seguente istruzione assembler

BLANK R_1, R_2

che azzera il contenuto dei registri di indice compreso tra *a* e *b*, dove *a* è il valore contenuto nella cella di memoria centrale il cui indirizzo è contenuto nel registro R_1 e *b* è il valore contenuto nella cella di memoria centrale il cui indirizzo è contenuto nel registro R_2. Nel caso di valori inconsistenti di *a* e/o *b*, saltare alla istruzione assembler di indirizzo logico 1000.

Scrivere il microprogramma delle fasi di *fetch* e di *esecuzione* della istruzione.

2) Una unità U è collegata ad un bus a cui sono collegate in ingresso/uscita anche le unità U_0,....,U_{31}. U e' inoltre collegata ad una unità U_m, mediante un collegamento a *transizione di livello*. U riceve da U_m una coppia di valori (V,I), dove I è un intero compreso tra 0 e 31. Se il valore di V e' negativo, U calcola il valore assoluto di V e lo rispedisce ad U_m. In caso contrario U invia V, mediante il bus, alla unità di indice I. Tenere presente che U *non puo' ricevere* valori dal bus. Descrivere la PO di U ed il suo microprogramma.

3) Risolvere i seguenti quesiti, *motivando adeguatamente* le risposte

a) In seguito a quali eventi un processo P in esecuzione può subire una *transizione di stato*?

b) Si supponga che una cache abbia tempo di accesso *tc* di 10 ns. ed una probabilità *h* di miss del 5%. Una determinata modifica della cache ridurrà la probabilità di miss al 3%, ma aumenterà il tempo di accesso *tc* a 15 ns. Sotto quali condizioni questa modifica fornirà prestazioni della cache migliori?

c) Un sistema ha *indirizzi logici* di 32 bits, *indirizzi fisici* di 24 bits e pagine di 2K. Quanti elementi ha la tabella delle pagine? Quanto spazio occuperà al minimo tale tabella?

d) La macchina A con clock di 100 MegaHz esegue il programma P in 10 secondi. Si vuole progettare una macchina B, con la stessa ISA, dotata di un clock più veloce, in modo da eseguire P in 6 sec. Si prevede che il CPI aumenterà del 20%. Quale dovrà essere la nuova frequenza del clock?