Architettura degli Elaboratori
Laurea in Informatica - corso B
6 febbraio 2002

1) Si consideri un processore con la stessa PO vista a lezione ed in cui il prelievo e la decodifica della istruzioni avvengano come visto a lezione. Si chiede di illustrare il microprogramma della fase di *fetch* e di *esecuzione* delle seguenti istruzioni assembler:

a) *MAX i,j,k* assegna al registro k la differenza tra il massimo ed il minimo valore contenuto nelle locazioni di memoria il cui indirizzo e' compreso tra il valore contenuto nel registro i ed il valore contenuto nel registro j.

b) MJUMP i,j,k se il contenuto della cella di memoria il cui indirizzo e' contenuto nel registro i e' maggiore del contenuto del registro j, salta alla istruzione il cui indirizzo e' contenuto nella posizione di memoria il cui indirizzo e' contenuto nel registro k e salva l'indirizzo dell'istruzione successiva in k, altrimenti esegue l'istruzione successiva**.**

Supporre che i parametri delle istruzioni siano consistenti.

2) Compilare in assembler il seguente frammento di programma: i vettori A e B contengono 100 elementi

```
…..
t= 10;
s = 0;
A[1] = B[1];
for (i =2, i<n, i++)
        {if A[i] > B[i] then
                { temp = B[i];
                B[i] = A[i];
                A[i] = temp}
        else { s=s+A[i-1]*t*A[1];
               A[i]= s }
        }
t = s
.....
```

3) Rispondere ai seguenti quesiti, *motivando* la risposta.

- Se in un uniprocessore parallelo si esegue prima l'istruzione a) dell'esercizio 1) e poi la b) dello stesso esercizio, esiste una *dipendenza logica* tra le due istruzioni? E se sono eseguite nell'ordine inverso?

- Considerare un uniprocessore parallelo come quello visto a lezione: descrivere il meccanismo con cui viene assicurata la corretta sincronizzazione tra IU ed EU.