# Architettura degli Elaboratori
# Laurea in Informatica - corso B
# 12 luglio 2002

**1)** Si consideri un processore con la stessa PO vista a lezione ed in cui il prelievo e la decodifica della istruzioni avvengano come visto a lezione.
Si considerino le seguenti istruzioni:

- *MAXIND i,j,k*: considera il blocco di locazioni di memoria a partire da quella il cui indirizzo è contenuto nel registro *i*, fino a quella il cui indirizzo è contenuto nel registro *j* ed individua, tra queste locazioni, la locazione *L* che contiene il valore massimo. Quindi memorizza l'indirizzo di *L* nel registro *k*.

- *JUMPIND i,j:* se il valore contenuto nel registro i è pari, salta alla istruzione il cui indirizzo è contenuto nel registro di indice *inx*. Il valore *inx* è memorizzato nella cella di memoria il cui indirizzo e' contenuto nel registro j.

Illustrare il microprogramma per le fasi di *fetch* e di *esecuzione* delle istruzioni. Descrivere le eventuali modifiche effettuate sulla PO standard.

**2)** Scrivere un frammento di *programma assembler* equivalente al seguente frammento di programma. Il vettore A contiene 100 elementi ed ogni elemento occupa 4 bytes. Effettuare tutti i controlli e le ottimizzazioni possibili.

```
                    …..

a=c*3+b;
for (i=a, i<n, i++)
        {
        if A[i]>0
                A[i+k]=A[i-s]+A[10]*3
        else A[i]=A[i-1]*2
        }
                    ….
```

**3)** Rispondere alle seguenti domande:

- descrivere cosa contiene la *memoria del controllo* di un processore come quello visto a lezione (max 20 parole)

- indicare almeno un *vantaggio* ed uno *svantaggio* del metodo *completamente associativo* per la gestione del cache.

- quando il comportamento di una unità di arbitraggio si può definire *fair*? Indicare quindi un arbitro con comportamento *fair* ed uno con comportamento *unfair*