Architettura degli Elaboratori
Laurea in Informatica - corso B
25 giugno 2002

1) Si consideri un processore con la stessa PO vista a lezione ed in cui il prelievo e la decodifica della istruzioni avvengano come visto a lezione.
Si considerino le seguenti istruzioni:

- *CHECKMUL i,j,k* : considera il blocco di celle di memoria a partire da quella il cui indirizzo è contenuto nel registro i fino a quella il cui indirizzo e' contenuto nel registro j. Se *almeno una* di queste celle contiene un valore uguale a zero, salta all'istruzione il cui indirizzo è contenuto nel registro k, altrimenti esegue l'istruzione successiva

- *SOM i,j,k* : calcola la somma di tutti i valori positivi contenuti nei registri generali a partire da quello di indice i fino a quello di indice j e memorizza la somma ottenuta nella cella di memoria il cui indirizzo è contenuto nella cella di memoria il cui indirizzo è contenuto nel registro di indice k.

2) Scrivere un frammento di programma assembler equivalente al seguente frammento di programma:

```
A, B: array [100] of integer;
…..
a=3;
A[1]=a*b;
if A[1] >0
        {for (i=2, i<n, i++)
                if A[i]>A[1]
                        {temp=A[i]
                        A[i]=B[i]
                         B[i]=temp
                        }
                else A[i]=A[i-1]*3;
        }
else A[100]=A[1]
```

3) Con riferimento alla *architettura pipeline ideale* mostrata a lezione

- illustrare perchè sono state introdotte due unità di memoria diverse, la IM per le *istruzioni,* e la DM per i *dati.*

- spiegare perchè è necessario definire un *meccanismo di sincronizzazione* tra IU ed EU ed illustrare come questo meccanismo può essere implementato.