

Testi di Esercizi e Quesiti – 2

Nota

Negli esercizi seguenti si assume che:

- a) la CPU abbia frequenza di clock $1/t = 4$ GHz;
- b) la memoria principale abbia ciclo di clock uguale 100τ ;
- c) latenza di trasmissione dei collegamenti inter-chip valga 5τ ;
- d) la cache primaria abbia capacità 64 K, operi su domanda, abbia blocchi di 8 parole, e usi il metodo write-through per le scritture; la parte riservata alle istruzioni sia di 16K con metodo diretto, quella riservata ai dati sia di 48K con metodo associativo su insiemi e insiemi di 4 blocchi,;
- e) la cache secondaria, esterna al chip CPU, abbia capacità 2M e ciclo di clock 10τ e organizzazione interallacciata con 4 moduli;
- f) sia trascurabile la probabilità di fault della cache secondaria e della gerarchia memoria virtuale – memoria principale.

Nello svolgimento degli esercizi, ove abbia senso, si considerino anche le seguenti varianti:

- d1) cache primaria con possibilità di applicare prefetching dei blocchi;
- e1) cache secondaria sullo stesso chip della CPU e realizzata come singola unità;

Esercizio 1

Si consideri la funzionalità di somma di vettori di N interi. Valutarne il tempo di completamento per i seguenti sistemi, ricavando dal confronto conclusioni di portata generale :

- a) calcolatore general-purpose D-RISC;
- b) calcolatore general-purpose il cui livello assembler contenga una istruzione che esegue proprio la somma di vettori di N interi (definirne il formato);
- c) unità di elaborazione specializzata, realizzata con la stessa tecnologia (memoria, ciclo di clock e quant'altro) della CPU general-purpose, che riceve in ingresso gli indirizzi base dei vettori e la dimensione N;
- d) calcolatore general purpose D-RISC dotato di coprocessore, visto come unità di I/O, realizzato come al punto c).

Inizialmente si consideri

1. l'architettura base della CPU,

per poi passare a studiare il problema per

2. architettura base della CPU con cache primaria e secondaria,
3. architettura pipeline della CPU con cache primarie e secondaria.

Esercizio 2

Si consideri un programma che esegue la moltiplicazione di una matrice di interi $A[M][M]$ e di un vettore di interi $B[M]$ con risultato assegnato ad un vettore di interi $C[M]$, dove ogni elemento di C è calcolato in valore assoluto.

M vale 10^3 .

Valutare performance e tempo di completamento del programma per sistemi D-RISC con le seguenti architetture:

- 1) CPU base senza cache;
- 2) CPU base con cache primaria e secondaria;
- 3) CPU pipeline con cache primaria e secondaria;

Esercizio 3

La macchina firmware di una CPU D-RISC ha la seguente caratteristica relativamente al trattamento delle interruzioni:

- la fase firmware è capace esclusivamente di effettuare una chiamata di procedura, senza attendere le parole del messaggio di I/O dall'unità di I/O (l'unità di I/O non invia le parole alla CPU una volta accettata l'interruzione).
- a) Adottando esattamente lo schema dei collegamenti della figura a pagina VII.282, spiegare come può essere effettuata la scelta dell'handler e il modo con cui questo si procura i parametri.
 - b) Apportare opportune modifiche allo schema della figura a pagina VII.282, che permettano di facilitare la scelta dell'handler ed il modo con cui questo si procura i parametri.