

Esercizi e quesiti - Parte 1

I seguenti esercizi e quesiti sono proposti per verificare la preparazione e comprensione della materia. La loro validità è tanto maggiore quanto più sono svolti di pari passo con il programma del corso e in modo critico. È fondamentale che le risposte siano date in forma chiara e rigorosa, usando i concetti e la terminologia del corso, evitando ambiguità e spiegazioni fuori tema.

Si raccomanda, agli studenti interessati, di chiarire ogni dubbio e di verificare le risposte con il docente.

1)

- a) Spiegare il procedimento mediante il quale si passa dal microprogramma di una unità alla definizione dell'automa Parte Controllo.
- b) Giustificare tale procedimento.
- c) Spiegare come viene dimostrato che una Parte Operativa, così come viene ottenuta, è un automa.

2) Progettare le reti combinatorie che implementano le seguenti funzioni:

- a) se un numero naturale X di n bit è una potenza di 2;
- b) se un numero X di n bit in complemento a 2 è una potenza di 2;
- c) se un numero naturale X di n bit è tale che $2^i \leq X \leq 2^j$, con $i < j$ e $0 \leq j \leq n$.

3) Pronunciarsi sulla verità o meno delle seguenti affermazioni, spiegando le risposte:

- a) La struttura della Parte Operativa di una unità è ottenuta come combinazione di registri (singoli e memorie) e dei seguenti componenti logici combinatori, e solo quelli: commutatori, ALU.
- b) La struttura della Parte Operativa di una unità è ottenuta come combinazione di registri (singoli e memorie) e di qualunque rete combinatoria.

Inoltre,

- c) supponendo che un microprogramma contenga le operazioni elementari $C \rightarrow A$ e $C \rightarrow B$, spiegare quale struttura è richiesta tra l'uscita del registro C gli ingressi dei registri A e B .

4) Spiegare se le seguenti micro-operazioni sono legali e qual'è la loro semantica:

- a) $A \rightarrow B, B + 1 \rightarrow C, C \rightarrow A$
- b) $C \rightarrow A, A \rightarrow B, B + 1 \rightarrow C$

Spiegare se esistono delle computazioni sequenziali equivalenti.

5) Spiegare se le seguenti computazioni sono funzioni. Nel caso lo siano, darne una definizione ed una implementazione come rete combinatoria. Nel caso non lo siano, discutere come implementarle:

- a) data una memoria A in sola lettura di capacità 64K parole, tutte aventi valore diverso, ed una parola X, restituisce la coppia (F, I) dove F indica se X è presente in A ed I è l'eventuale indirizzo della parola di A uguale a X;
- b) restituisce

$$\sum_{i=0}^{n-1} X_i$$

dove X_0, \dots, X_{n-1} sono i valori, interi, di una sequenza di ingresso.

5) Spiegare sotto quali condizioni una unità di elaborazione può essere realizzata mediante una sola rete sequenziale.

6) Realizzare e valutare le prestazioni delle seguenti unità di elaborazione. In tutti i casi, detto t_p il ritardo di una porta logica con al massimo 8 ingressi, una ALU ha ritardo di $5t_p$.

6-1) Una unità di elaborazione U contiene un componente logico memoria M di capacità $N = 16K$ interi non negativi di 32 bit. Riceve da U1 messaggi (A, IND), con A intero non negativo di 32 bit e IND di 14 bit, ed invia ad U2 messaggi (OUT) di 15 bit.

Una *prima versione* di U è espressa dal seguente microprogramma, dove *zero* ($M[IND] - A$) funge da codice operativo di due operazioni esterne equiprobabili, e la funzione booleana $f(x)$, con x intero non negativo, è vera se e solo se x è una potenza di due ≥ 256 Mega:

0. (RDY1, zero($M[IND] - A$) = 0 -) nop, 0;
 (= 1 1) reset RDY1, set ACK1, $0 \rightarrow I$, $0 \rightarrow C$, 1;
 (= 1 0) reset RDY1, set ACK1, $A \rightarrow M[IND]$, 0
1. (I_0 , ACK2 = 0 -) $f(M[I_m]) \rightarrow H$, 2;
 (= 1 0) nop, 1;
 (= 1 1) $C \rightarrow OUT$, set RDY2, reset ACK2, 0;
2. ($H = 0$) $I + 1 \rightarrow I$, 1;
 (= 1) $I + 1 \rightarrow I$, $C + 1 \rightarrow C$, 1

Si chiede una *seconda versione* di U tale avente un tempo medio di elaborazione sostanzialmente minore.

6-2) Una unità di elaborazione U

- contiene un componente logico memoria M di capacità 64 parole ognuna di 32 bit;
- riceve in ingresso, da una stessa unità U_M , messaggi (A, B, C, J) con A e B parole di 32 bit, C di 64 bit, e J di 4 bit. I valori di C hanno sempre la seguente caratteristica: uno ed un solo bit vale 1 e tutti gli altri 0; nel seguito con $P(C)$ si indicherà la posizione del bit uguale a 1 in C;
- invia in uscita messaggi di una parola ad una delle 16 unità U_0, \dots, U_{15} .

Il funzionamento è il seguente:

- se $A < B$: scrive nella locazione di M di indirizzo uguale a $P(C)$ il contenuto della stessa locazione incrementato di 1, ed invia il valore scritto all'unità U_J ;

- se $A = B$: scrive nella locazione di M di indirizzo uguale a $P(C)$ il contenuto della stessa locazione incrementato di 1;
- se $A > B$: invia il contenuto della locazione di M di indirizzo uguale a $P(C)$ incrementato di 1 all'unità U_j .

Spiegare e mostrare in dettaglio la struttura del componente logico memoria M in modo da utilizzare direttamente il valore di C per l'indirizzamento.

Scrivere e spiegare il microprogramma e valutare il tempo di elaborazione di U , in funzione di t_p , rispettando entrambi i seguenti requisiti:

- minimizzare il numero di variabili di condizionamento,
- minimizzare il numero di cicli di clock.

Mostrare la struttura della Parte Operativa.

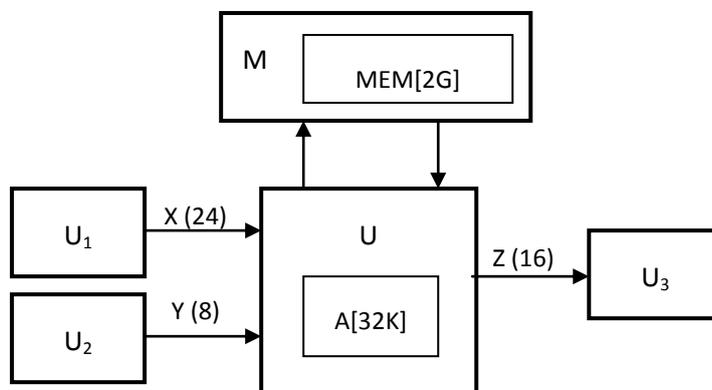
6-3) Una unità di elaborazione U contiene, nella sua Parte Operativa, un componente logico memoria M , di capacità complessiva $C = 1G$ parole, costituito da 8 componenti logici memoria M_0, \dots, M_7 aventi la stessa capacità. Gli indirizzi di M sono distribuiti secondo l'organizzazione interallacciata.

Le operazioni esterne sono definite come segue:

- *operazione 0*: ricevendo un indirizzo IND , con il vincolo che $IND \bmod 8 = 0$, legge un blocco di 8 parole consecutive a partire da IND . Tali parole sono inviate su interfacce di uscita distinte;
- *operazione 1*: ricevendo un indirizzo IND e un dato X , scrive X all'indirizzo IND ;
- *operazione 2*: ricevendo un dato X , con il vincolo che tale valore sia presente in M una e una sola volta, invia in uscita l'indirizzo della locazione avente contenuto uguale a X .

a) Scrivere il microprogramma di U e determinare il tempo medio di elaborazione di ognuna delle tre operazioni esterne in funzione di C e t_p . È richiesto di minimizzare il numero medio di cicli di clock per ogni operazione esterna. Ogni componente M_j ha tempo di accesso $10t_p$. Fornire adeguate spiegazioni.

6-4) Si consideri il seguente sistema a livello firmware:



L'unità U contiene un componente logico memoria A di capacità 32K parole, e l'unità M un componente logico memoria MEM di capacità 2G parole. Le operazioni esterne di M sono lettura o scrittura di una parola su richiesta di U (per semplicità, senza esplicita informazione di esito). M ha ciclo di clock uguale a 11 volte quello di U . I collegamenti tra unità hanno latenza di trasmissione uguale a 4 cicli di clock di U .

Le informazioni contenute in MEM e in A sono logicamente organizzate in blocchi disgiunti, ciascuno costituito da 128 parole contigue.

Ricevendo da U_1 e U_2 le informazioni X (24 bit) e Y (8 bit) rispettivamente, U identifica l'operazione esterna come segue:

- se Y è uguale a due o tre dei byte di X: operazione esterna 0;
- se Y è uguale ad uno e solo uno dei byte di X: operazione esterna 1;
- se Y è diverso da ognuno dei tre byte di X: operazione esterna 2.

Le operazioni esterne hanno il seguente effetto:

- operazione esterna 0: copiare il blocco di MEM identificato da X nel blocco di A identificato da Y;
- operazione esterna 1: copiare il valore assoluto di ogni parola del blocco di A identificato da Y nelle corrispondenti parole del blocco di MEM identificato da X;
- operazione esterna 2: inviare a U_3 il numero di parole di A che hanno valore positivo e uguale a una potenza di 2.

I numeri sono rappresentati in complemento a due. Il componente logico memoria A è a singolo indirizzamento e ha tempo di accesso $4t_p$.

È richiesto il microprogramma di U con il requisito di *minimizzare il tempo medio di elaborazione dell'operazione esterna 2*, e la valutazione di tutti i tempi medi di elaborazione.

7)

- a) Spiegare una singola coppia di indicatori di interfaccia a transizione di livello RDY1, RDY2 per due unità di elaborazione U_1 , U_2 connesse da un collegamento dedicato: struttura, funzionamento e condizione in base alla quale ogni messaggio inviato da U_1 viene rilevato da U_2 .
- b) Dimostrare che, aggiungendo una coppia di indicatori di interfaccia a transizione di livello ACK1, ACK2, il protocollo di comunicazione garantisce che la suddetta condizione sia sempre soddisfatta.
- c) Si consideri una unità U avente una singola interfaccia di uscita connessa, mediante collegamenti dedicati, a due interfacce d'ingresso di due unità distinte U_1 , U_2 . Dimostrare che, anche adottando il protocollo di comunicazione, la suddetta condizione non è in generale soddisfatta.