

Architettura degli Elaboratori

2013-14

Gli esercizi e quesiti sono proposti con l'obiettivo di seguire e studiare il corso in modo efficiente.

Le soluzioni devono essere discusse con il docente in orario di ricevimento; solo per alcuni homework, verranno presentate in aula.

Per la preparazione dello studente, è essenziale che le soluzioni siano accompagnate da adeguate spiegazioni che permettano di appurare la comprensione e l'approfondimento dei concetti del corso.

Homework 6

Questo homework contiene una lista di esercizi e quesiti sulle gerarchie di memoria. La lista è abbastanza ampia da poter essere utilizzata in parte durante lo svolgimento delle lezioni sull'argomento e in parte successivamente (alcune domande hanno diverse varianti o opzioni).

- 1) Per le seguenti computazioni, da eseguire su un'architettura con cache su domanda di capacità γ e blocchi di ampiezza σ , studiare l'insieme di lavoro e il numero di fault al variare di M :
 - a) $\text{int } A[M], B[M], C[M]; \forall i = 0 .. M - 1: \forall j = 0 .. M - 1: C[i] = C[i] + A[i]*B[j]$.
 - b) Prodotto matrice $A[M][M]$ per vettore $B[M]$.
 - c) Da $A[M][M]$, memorizzata per righe, ricavare $C[M]$ tale che $\forall i: C[i] = \text{reduce}(A[*][i], +)$.
 - d) Da una lista linkata A di valori interi ricavare la lista linkata B di valori interi, tale che il generico B_i è uguale al numero di occorrenze di A_i in un array dato $C[M]$.
 - e) $\text{int } A[M], B[M]; \forall i = 0 .. M - 1: B[i] = A[i] + A[i \% (M/8)]$.
- 2) Studiare le computazioni del punto 1) provando ad applicare prefetching.
- 3) Valutare il tempo di completamento di una o più computazioni del punto 1) per $M = 4K$, con le seguenti specifiche:
 - processore D-RISC elementare con ciclo di clock τ ,
 - cache primaria su domanda, associativa, Write-Through, $\gamma = 32K$ parole, $\sigma = 8$ parole,
 - memoria principale interallacciata con $m = \sigma$ moduli e ciclo di clock uguale a 30τ ,
 - struttura di interconnessione memoria – CPU con topologia ad albero binario e latenza di trasmissione dei collegamenti uguale a 4τ .
- 4) Un'unità di elaborazione U riceve uno stream di valori interi x e produce uno stream di valori interi y , dove y è uguale al numero di occorrenze di x in un array $A[M]$. A è già allocato in una memoria esterna. All'unità U è associata, sullo stesso chip, un'unità cache. Cache e memoria esterna hanno le caratteristiche del punto 3). Progettare U e valutarne il tempo di servizio.
- 5) Ripetere le valutazioni del punto 3) assumendo l'esistenza di cache secondaria $C2$ on-chip di capacità $1M$ parole, nei due casi:
 - a) $C2$ su domanda,
 - b) $C2$ con prefetching.
- 6) Per la computazione
$$\text{int } A[M], B[M]; \forall i = 0 .. M - 1: B[i] = F(A[i])$$
con T_F noto e nelle ipotesi del punto 3) ma facendo variare m , studiare la funzione $T_c = T_c(m)$. Studiare se esiste un valore ottimo di m .
- 7) Per la computazione 6), senza conoscere T_F e senza fare assunzioni su F , valutare il tempo di completamento in assenza di fault di cache in modo da ottenere un determinato valore ε dell'efficienza relativa della cache con le specifiche del punto 3).